

**Publication number: JP2003060501**

**Inventor:** FISCUS TIMOTHY E

**Classification:**

- european: H03K5/13D; H03L7/081A1; H03L7/087

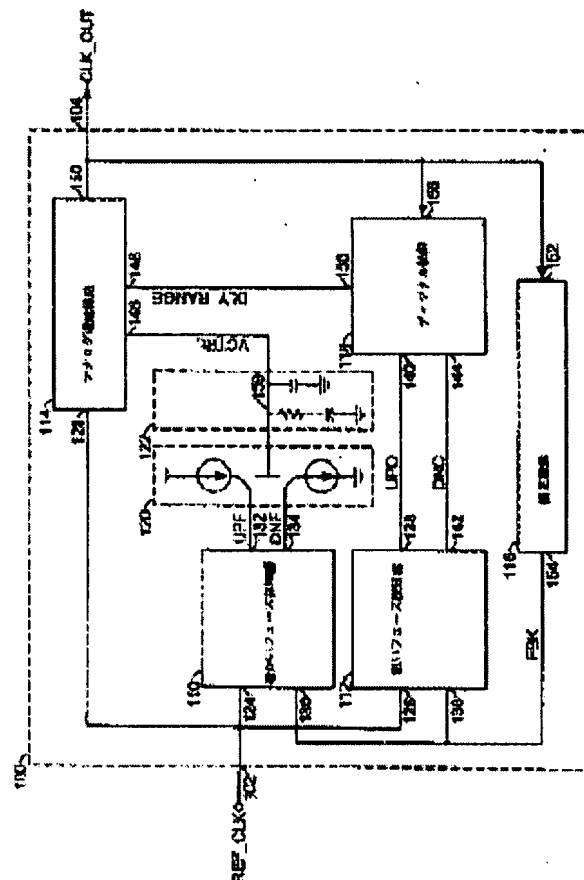
**Priority number(s):** US20010918583 20010731

US6628154 (B2)

US2003025539 (A1)

## Abstract of JP2003060501

**SOLUTION:** The DDL circuit is provided with a first control signal generating means and a second control signal generating means. The first means has an analog delay line 114 and a digital control circuit 118, and coarsely adjusts a delay time of the analog delay line 114 by digital control, according to the phase difference between an input signal and a feed back signal. The second means adjusts the delay time finely and continuously.



11/13/2006



【特許請求の範囲】

【請求項1】 入力信号と第1制御信号と第2制御信号に反応して出力信号を発生するように構成されたアナログ遅延線路を有し、上記出力信号のフェーズを上記第1制御信号に反応して上記入力信号に関して粗く調節でき、上記出力信号のフェーズを上記第2制御信号に反応して細かく連続的に調節でき、上記入力信号と上記出力信号に反応して上記第1制御信号と上記第2制御信号とを発生するように構成された制御回路を有する装置。

【請求項2】 上記アナログ遅延線路が遅延チェーンとシフトレジスタとを有していることを特徴とする請求項1に記載の装置。

【請求項3】 上記遅延チェーンが複数の遅延要素を有していることを特徴とする請求項2に記載の装置。

【請求項4】 上記遅延要素の各々が遅延セルと増幅器とを有していることを特徴とする請求項3に記載の装置。

【請求項5】 上記遅延要素の各々が複数の遅延セルと複数の増幅器とを有していることを特徴とする請求項3に記載の装置。

【請求項6】 上記シフトレジスタが複数のレジスタ要素を有していることを特徴とする請求項2に記載の装置。

【請求項7】 上記レジスタ要素の各々がフリップフロップを有していることを特徴とする請求項6に記載の装置。

【請求項8】 上記遅延要素の各々が1つまたはそれ以上の差動CMOS増幅器を有していることを特徴とする請求項5に記載の装置。

【請求項9】 上記遅延要素の各々が電圧制御される負荷と並列であるダイオード負荷を持つ1つまたはそれ以上の差動増幅器を有することを特徴とする請求項5に記載の装置。

【請求項10】 上記制御回路が、上記入力信号とフィードバック信号に反応して上記第1制御信号と上記第2制御信号とを発生するように構成されたフェーズ検知回路と、上記出力信号と所定の遅延量に反応して上記フィードバック信号を発生するように構成された遅延回路とを有することを特徴とする請求項1に記載の装置。

【請求項11】 上記フェーズ検知回路が、上記入力信号と上記フィードバック信号とに反応して上記第1制御信号を発生するように構成された第1フェーズ検知回路を有し、上記第1制御信号が不連続の量で上記フェーズを調節するように形成され、上記フェーズ検知回路が、上記入力信号と上記フィードバック信号に反応して上記第2制御信号を発生するように構成された第2フェーズ検知回路を有し、上記第2制御信号が所定の範囲内で連続的に上記フェーズを調節するように形成されることを特徴とする請求項10に記載の装置。

【請求項12】 上記第1フェーズ検知回路が、上記入

力信号と上記フィードバック信号とのフェーズの差に反応して上記アナログ遅延線路を制御するように構成されたデジタル制御回路を有することを特徴とする請求項11に記載の装置。

【請求項13】 上記第2フェーズ検知回路が、上記入力信号と上記フィードバック信号とのフェーズの差に反応して上記アナログ遅延線路を制御するように構成されたチャージポンプと閉回路フィルタとを有することを特徴とする請求項11に記載の装置。

【請求項14】 入力信号と第1制御信号と第2制御信号に反応して出力信号を発生する手段を有し、上記出力信号のフェーズが上記第1制御信号に反応して上記入力信号に関して粗く調節され、上記出力信号のフェーズが上記第2制御信号に反応して細かく連続的に調節可能であり、上記入力信号と上記出力信号とに反応して上記第1制御信号と上記第2信号とを発生する手段を有する装置。

【請求項15】 出力信号のフェーズを入力信号のフェーズに対してロックし調節する方法であって、入力信号と第1制御信号と第2制御信号とに反応して出力信号を発生するステップAを含み、上記出力信号のフェーズが上記第1制御信号に反応して上記入力信号に関して粗く調節され、上記出力信号のフェーズが上記第2制御信号に反応して細かく連続的に調節可能であり、上記入力信号と上記出力信号とに反応して上記第1制御信号と上記第2制御信号とを発生するステップBを有することを特徴とする方法。

【請求項16】 上記第1制御信号がデジタル制御信号を含むことを特徴とする請求項15に記載の方法。

【請求項17】 上記ステップAが、上記デジタル制御信号に反応してある数の遅延要素を選択するステップを含むことを特徴とする請求項16に記載の方法。

【請求項18】 上記第2制御信号がアナログ制御信号を含むことを特徴とする請求項15に記載の方法。

【請求項19】 上記ステップAが、上記アナログ制御信号に反応してある数の遅延要素の各々によって発生させられる遅延量を制御するステップを含むことを特徴とする請求項18に記載の方法。

【請求項20】 上記出力信号に反応してメモリデバイスによってデータの供給を制御するステップをさらに含む請求項15に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には遅延ロック閉回路(DLL)のための方法とアーキテクチャーの両方またはどちらか一方に関し、特にデジタル制御アナログ遅延ロック閉回路(DLL)のための方法とアーキテクチャーの両方またはどちらか一方に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】いくつ

かの適用では、データが、立ち上がりクロックエッジから0.35ns(250MHz)未満の間、有効であることを必要とする場合がある。データ有効(tco)時間に対するクロックとデータ出力保持(tdoh)時間が、データ有効ウィンドーを規定・に影響する。また、データ有効ウィンドーを減らさないためにデータのデューティサイクルはクロックのデューティサイクルに従わなければならない。クロックジターとデューティサイクルを追跡・探知するゼロ遅延バッファは、必要条件を満足させるために使用される。

【0003】クロックジターとデューティサイクルを追跡する従来のゼロ遅延バッファは遅延ロック閉回路(DLL)を有し得る。DLLは、DLLクロックの望ましいエッジ(例えば、立ち上がりまたは落下)が入力クロックの対応するエッジの時間tcoだけ前に起こるように、入力クロックのフェーズ調節されたバージョンを発生することができる。入力クロック時間に対するデータが理想的にはゼロであるために、フェーズ調節されたクロックがチップからのクロックデータに対して使用される。

【0004】DLLは、クロック周期からクロックを引いたものに等しい遅延を出力するように遅延線路を通して伝播を調節する閉回路システムである。フィードバッククロックが入力クロックに関して360度(即ち、フェーズの整合)遅れるまでフェーズ探知器とフィルタは、遅延線路を調節する。補正遅延は時間tcoと等しく設定できるので、遅延線路はクロック周期から時間tcoを引いたものとなる遅延を持つことができる。

【0005】どのサイクルにおいてもDLLは、フェーズ探知器とフィルタを用いて遅延線路内のフェーズ調節に対応する調節を行う。調節がDLLの分解度・解像度(resolution)を決定する。細かい調節は小さいフェーズ調節(高分解度)に対応し、粗いフェーズ調節は大きなフェーズ調節(低分解度)に対応する。DLLは、低いジターのために速いロック時間と細かい分解度を持つ必要がある。速いロック時間は遅延線路内の粗い調節を必要とし、細かい分解度は遅延線路内の細かい調節を必要とする。

【0006】従来のDLLは、デジタル遅延線路かアナログ遅延線路のどちらかを使用する。デジタル遅延線路は、分解度を犠牲にして速いロック時間を与えることができる。アナログ遅延線路は、よい分解度を与えることができるが、問題を引き起こし得るチャージポンプ電流を変化させるようなロック獲得補助を必要とする。

【0007】図1を参照すると、アナログDLLを説明する回路10のブロック図が示されている。回路10は、フェーズ探知器12と、アナログ遅延線路14と、補正遅延回路16と、チャージポンプ18と、アナログ閉回路フィルタ20とを有している。フェーズ探知器12は、デッドゾーン(不感帯)なしに実施される。ア

ナログ遅延線路14は、最小のジターを供給する。回路10は、フェーズエラーをフィルタ20のコンデンサーにまとめる・統合する(integrate)。フェーズエラーがコンデンサーに統合されフェーズ探知器がデッドゾーンを持たないので、回路10は低いクロックジターまたは細かい分解度を供給する。

【0008】信号DLL\_CLOCKのジターを減らすためにDLLの帯域幅を減らすことができる。閉回路フィルタ20の電気容量を大きくすることとチャージポンプ18からの電流を小さくすることの両方またはどちらか一方を行う場合、帯域幅が減少する。帯域幅が減らされると、REF\_CLKREF\_CLOCKとフィードバック信号FBKがフェーズエラーを持たない場合、フェーズ探知器のどのアップ/ダウンサイクルも信号DLL\_CLOCKのフェーズを少量だけ調節するかまたは全く調節しない。粗い調節のために、コンデンサーのサイズを減らすこととチャージポンプ電流を増加させることの両方またはどちらか一方を行うことによってDLLの帯域幅を広くすることができる。大きな帯域幅に関しては、フェーズ探知器のどのアップ/ダウンサイクルも細かい調節(小さい帯域幅)の場合よりも大きい量だけ信号DLL\_CLOCKのフェーズを調節する。

【0009】アナログDLL10は、よい分解度を与えることができる。しかしながら、チャージポンプ電流または閉回路フィルタを変化させるロック獲得補助を使用することによって安定を得るための設計が複雑になる。またロックがどれだけ早く得られるかについては、アナログDLL10は制限される。さらにバイナリーサーチのような異なるロック方法は実施するのが困難になり得る。

【0010】図2を参照すると、デジタルDLLを説明する回路30のブロック図が示されている。回路30は、フェーズ探知器32と、粗いデジタル遅延線路34と、細かいデジタル遅延線路36と、補正遅延28と、デジタル閉回路フィルタ40とを有している。デジタルDLL30は、より小さく(サイズ)より速いロックのより簡単に移し替えのできるDLLを生み出すことが可能である。デジタルDLL30は、ロックに近づくために粗い遅延線路34を使用し、ロックを得るためにまたロックを維持するために細かい遅延線路36を使用する。チャージポンプとフィルタ(即ち、図1の要素18と20)が、デジタル閉回路フィルタ40に置き換えられる。デジタル閉回路フィルタ40は、Mアップ/ダウンサイクルごとに増加/減少するアップ/ダウンカウンタを有している。Mはフィルタサイズによって決定される。

【0011】デジタルDLL30は、あまり複雑にならないようにすることができ、ロック時間がアナログDLL10よりも速い。デジタルDLL30は、他の技術に容易に移し替えることができる。大きな閉回路フィ

ルターが存在しないので、デジタルDLLはアナログDLLよりも小さくすることが可能である。しかしながら、細かい遅延線路がデジタル要素なので分解度はある量に限られる。また、フェーズエラーが統合されないため、出力はデッドゾーン（不感帯）を持つ。デッドゾーンでは、フェーズエラーが特定の大きさに達するまでデジタルDLL30は、反応しない。特定の大きさのフェーズエラーが現れた時、DLL30は細かい調節によって調節される。

#### 【0012】

【課題を解決するための手段】本発明は、アナログ遅延線路と制御回路とを備えた装置に関する。アナログ遅延線路は、入力信号と、第1制御信号と、第2制御信号とに反応して出力信号を発生させるように構成されている。出力信号のフェーズは、(1)第1制御信号に反応して入力信号に関して粗く調節され、(2)第2制御信号に反応して細かく連続的に調節される。制御回路は、入力信号と出力信号とに反応して第1制御信号と第2制御信号を発生する。本発明の目的、特徴および効果は、次の(1)から(6)のすべてまたはいくつかまたは1つの特徴を持つデジタル制御アナログ遅延ロック閉回路を供給することを含む。(1)細かい分解度を供給する。(2)速くロックを獲得する。(3)広いロック範囲を有する。(4)異なるスピードソート(speed sort)のためのフェーズとメタルオプション(metal optioning)の必要性を削除する。(5)より高いスピードソートと同じ分解度を持つより低いスピードソートを供給する。(6)出力遅延に対して小さいクロックを必要とするメモリチップを含むゼロ遅延バッファを必要とする適用に使用される。

【0013】本発明のこれらと他の目的、特徴及び効果は、次の詳しい説明と特許請求の範囲と図面から明らかになるであろう。

#### 【0014】

【発明の実施の形態】図3を参照すると、回路100の上面図が本発明の好適実施形態に従って示されている。回路100はデジタル方式で制御される遅延ロック閉回路(DLL)を有してよい。回路100は、REF\_CLK(REF\_CLK)を受け入れる入力102と、信号(例えば、CLK\_OUT(CLK\_OUT))を与える出力104とを有してよい。回路100は、信号REF\_CLKの対応エッジに所定の時間の期間(例えば、tco)だけ先行するエッジ(例えば、立ち上がりと落下)を持つ信号CLK\_OUTを発生するように構成されてよい。信号CLK\_OUTは、ジッター(jitter)と信号REF\_CLKのデューティサイクルを追跡・探知してよい。

【0015】回路100は、回路110と回路112と回路114と回路116と回路118と回路120と回路122とを有してよい。回路112は、粗い(分

解・分解能)フェーズ探知回路を有してよい。回路114は、アナログ遅延線路を有してよい。回路114は、粗くにも細かくにも調節可能な遅延を与えられるように構成されてよい。回路116は、補正遅延回路を有してよい。1つの例では、回路116はメモリ回路の遅延時間(tco)を出力するようにクロックを補正するために実施される。回路118は、制御回路として実施される。1つの例では、回路118はデジタル論理を使用して実施される。回路120は、チャージポンプ回路(charge pump circuit)を有している。回路122は、アナログフィルター回路として実施される。

【0016】信号REF\_CLKが、回路110の入力124と、回路112の入力126と、回路114の入力128とに与えられる。回路110は、信号(例えば、FBK)を受け入れる入力130と、回路120の第1入力に与えられる制御信号(例えば、UPF)を出力する出力132と、回路120の第2入力に与えられる第2制御信号(例えば、DNF)を出力する出力134とを有している。信号FBKは、信号CLK\_OUTに反応して発生させられたフィードバック信号であってよい。信号UPFと信号DNFは、チャージポンプ制御信号である(例えば、それぞれポンプアップとポンプダウン)。1つの例では、信号UPFとDNFは、信号CLK\_OUTの微妙な・細かい(fine)フェーズ調節をするのに使用できる。

【0017】信号FBKは、回路112の入力136に与えられる。回路112は、回路118を制御するのに使用される多数の制御信号を発生するように構成されている。1つの例では、回路112は、回路118の入力140に制御信号(例えば、UPC)を与える出力138と、回路118の入力144に制御信号(例えば、DNC)を与える出力142とを有している。信号UPCとDNCは、粗い(coarse)フェーズ調節を行うのに使用される。例えば、信号UPCは回路100によって与えられる遅延の範囲を増加させるのに使用される。信号DNCは、回路100によって与えられる遅延の範囲を減少させるのに使用される。信号UPCとDNCは、図13と関連させて以下でさらに説明される。代わりに、特定の実施の設計基準に合うように他のタイプの制御信号や他の数の制御信号を回路112によって発生させることができる。

【0018】回路114は、信号(例えば、VCTRL)を受け入れる入力146と、信号(例えば、DLY\_RANGE(遅延範囲))を受け入れる入力148と、信号CLK\_OUTを供給する出力150とを有している。回路114は、信号DLY\_RANGEに反応して遅延の範囲を選択するように構成されている。さらに回路114は、信号VCTRLに反応して選択された特定の範囲内で細かく連続的に変化させられる遅延を発

生するように構成できる。回路114は、信号REF\_CLKのフェーズを調節したバージョンとしての信号CLK\_OUTを発生するように構成可能である。このフェーズの調節は信号VCTRLと信号DLY\_RANGEに反応して決定される。

【0019】回路116は、信号CLK\_OUTを受け入れる入力152と、信号FBKを供給・出力する出力154とを有している。回路116は信号CLK\_OUTに反応して信号FBKを発生するように構成される。1つの例では、回路116は、クロックを補正してメモリデバイス(memory device)の遅延(tco)を出力するように構成される。しかしながら、特定の適用の設計基準に合うように他の遅延が補われてもよい。

【0020】回路118は、信号DLY\_RANGEを供給する出力156と、信号CLK\_OUTを受け入れる入力158とを有している。信号DLY\_RANGEは1つまたはそれ以上の信号を含んでいる。1つの例では、信号DLY\_RANGEは多数ビット信号である。この多数ビット信号において、各ビットは独立した制御信号として使用できる。1つの例では、信号DLY\_RANGEは、並列またはシリアル(複合の)信号として供給される。代わりに、信号DLY\_RANGEは、1つのクロック信号と1つまたはそれ以上の制御信号を含んでよい。1つの例では、回路118は、信号UPCとDNCとCLK\_OUTに反応して信号DLY\_RANGEを発生するように構成される。代替的に、回路118は、信号CLK\_OUTの代わりに信号REF\_CLKまたは信号FBKを使用するように構成可能である。

【0021】回路120は、回路122の入力に信号を供給する出力を有している。1つの例では、回路120は、信号UPFとDNFに反応して電流信号を発生するように構成される。回路120は、信号UPFとDNFを使用して制御されるある数の電流源を有している。

【0022】回路122は、ある数のフィルター要素を有している。1つの例では、回路122は、抵抗器と第1コンデンサーと第2コンデンサーとを有している。ノード159は、回路122の入力と出力とを抵抗器の第1端子と第1コンデンサーの第1端子に接続することによって形成されている。抵抗器の第2端子は第2コンデンサーの第1端子に接続される。第1コンデンサーと第2コンデンサーの第2端子はサブグラウンド・アースに接続される。信号VCTRLは、ノード159において供給される。信号VCTRLは、信号UPFとDNFに反応して発生させられる。

【0023】図4を参照すると、回路100のより詳細なブロック図が示されている。回路110は、制御回路118の出力162から信号(例えば、ENまたはENF)を受け入れるエネイブル入力160(使用可能にす

る・enable input)を有している。信号(例えば、CNTとSFTR)がそれぞれ回路112の出力138と142において与えられる。1つの例では、信号CNTは、カウント信号として実行される。信号SFTRは、シフト制御信号として実行される。回路114は、制御信号(例えば、BYPASS)を受け入れる入力164と、制御信号(例えば、RESET)を受け入れる入力166とを有している。信号BYPASSは、遅延線路114をバイパス・回避する(bypass)ために使用される。信号BYPASSが肯定状態(asserted state)にある場合、信号REF\_CLKは、遅延なしに出力150へ通過させられる。信号RESETは、制御信号であってよい。

【0024】遅延線路114は、信号RESETに反応して予め条件づけられた状態または初期化された状態になるように構成される。例えば、信号RESETに反応して(1)ある数のレジスター(例えば、3つ)を論理回路のハイ状態即ち“1”に設定し(2)残りのすべてのレジスターを論理回路のロー状態即ち“0”に設定するように回路114を構成することができる。回路114が初期化(リセット)された時、図11に関連してより詳しく述べられるように一般的には遅延の所定の最小量が選択される。

【0025】回路114は、回路170と回路172とを有している。回路170は、遅延チェーン(delay chain)として実施される。回路172は、シフトレジスターとして実施される。回路170は、信号REF\_CLKと、信号VCTRLとを受け入れ、また回路172から1つまたはそれ以上の制御信号(例えば、SEL0からSELn)を受け入れる。1つの例では、回路172は、信号(例えば、REGCLK)と信号SFTRとを回路118から受け入れる。信号REGCLKは、クロック信号として実施される。回路170は、信号REF\_CLK(REFCLK)と信号VCTRLと信号SEL0からSELnに反応して信号CLK\_OUTを発生するように構成できる。回路172は、信号BYPASSとRESETとREGCLKとSFTRに反応して、信号SEL0からSELnを発生するように構成できる。回路118は、信号CNTとSFSTRとCLK\_OUTに反応して信号REGCLKとENとを発生するように構成できる。

【0026】ロックシーケンス(lock sequence)の粗い遅延調節の間、制御電圧VCTRLは最大値に設定され、信号SFTRが肯定され(asserted)、粗いフェーズ探知器112が信号SFTRを否定(deassert)するまですべてのサイクルにおいて遅延線路114が(例えば、信号REGCLKに反応して)一般的には所定の遅延量を加える。遅延が望まれた量を超えた時、信号SFTRは一般的には否定される。信号SFTRが否定されると、一般的には制御回

路118が信号CNTによって決定された遅延量を除去するように遅延線路114を制御する。信号REGCLKは不可能状態にさせられ、信号ENが肯定される。

【0027】粗い遅延調節の後、ロックシーケンスの細かい遅延調節が実行される。遅延要素の数は変化されないままでよく、各要素を通しての遅延が信号VCTRLに反応して変化させられる。各要素を通しての遅延は、粗い調節の間、所定の最大値に設定される。微妙な・細かい調節が遅延線路を減速させて（スピードをゆるめて）ロックを行うことができることを確実にするために、制御電圧VCTRLの関数としての各要素の遅延範囲を予め決定できる。

【0028】粗い調節と細かい調節は、遅延要素のチェーン(chain)を使用して実行される。この遅延要素のチェーンは、制御電圧VCTRLが高い範囲の値である場合で実施される所定の最大期間よりも長い合計遅延量を発生するように構成される。シフト抵抗器172は、粗い調節の間、通過する遅延要素の増加のために使用される。各サイクルごとに、右シフトが起こり、遅延チェーンの出力が次の遅延要素から得られる。エネイブル入力において論理回路のロー即ち“0”を持っているすべての遅延要素の電力が落とされ必要とされる遅延要素の最小の数だけが使用される。遅延要素の数を最小にすることによって、電力の消費量を減少させることができる。

【0029】図5を参照すると、図4のフェーズ探知器110の詳しいブロック図が示されている。フェーズ探知器110は、保持要素180と、ゲート182と、保持要素184とを有している。1つの例では、保持要素180と184は、ラッチまたはレジスターまたはフリップフロップとして実施される。1つの例では、ゲート182は、2つの入力のアンドゲートとして実施される。信号REF\_CLKが、レジスター180のクロック入力に与えられる。ラッチ180のD入力は、供給電圧(例えば、VCC)に接続される。ラッチ180のQ出力は、信号UPFを与える。1つの例では、信号UPFは、チャージポンプ回路を制御するためにポンプアップ信号として使用される。信号UPFは、ゲート182の第1入力に与えられる。信号FBKは、ラッチ184のクロック入力に与えられる。ラッチ184のD入力は供給電圧VCCに接続されている。ラッチ184は、信号DNFを与えるQ出力を有している。1つの例では、信号DNFは、チャージポンプ回路を制御するためにポンプダウン信号として使用される。信号DNFは、ゲート182の第2入力に与えられる。ゲート182の出力は、ラッチ180とラッチ184のリセット入力(入力R)に信号を与える。

【0030】図6を参照すると、図4の回路112のより詳しいブロック図が示されている。回路112は、ゲート190と、保持要素192と、ゲート194と、保

持要素196とを有している。1つの例では、ゲート190と194は、2つの入力のアンドゲートとして実施される。しかしながら、特定の適用の設計基準に合うように他のタイプのゲートを使用してもよい。1つの例では、保持要素192と196は、ラッチとして実施される。しかしながら、他の保持要素が特定の適用の設計基準に合うように実施されてもよい。例えば、保持要素192と196は、レジスターまたはフリップフロップとして実施される。

【0031】信号REF\_CLKを補完・補充するもの(例えば、REF\_CLKB)が、ゲート190と194の第1入力に与えられる。ゲート190の出力が保持要素192の入力(IN)に与えられる。信号FBKを補完・補充するもの(例えば、FBKB)が、保持要素192と196のクロック入力(CLKIN)に与えられる。保持要素192は、ゲート190の第2入力に接続された出力(例えば、QB)と、ゲート194の第2入力に信号CNTを与える出力(例えば、Q)とを有している。ゲート194の出力は、保持要素196の入力(IN)に信号を与える。保持要素196は、QB出力において信号SFTRを与えるように構成される。

【0032】保持要素192と194は、所定の値で始動される(初期化される)ように構成できる。例えば、保持要素192は、初期値“1”を持ち、保持要素196は、初期値“0”を持っていてもよい。始動されると、信号SFTRが、論理回路のハイ状態で与えられる。信号FBKの立ち上がりエッジ(信号FBKGの落下エッジ)が信号REF\_CLKBの論理回路ロー状態に一致する(対応する)まで、信号CNTは一般的には論理回路ハイ状態にとどまる。信号FBKの立ち上がりエッジが信号REF\_CLKBの論理回路ロー状態に一致(対応)すると、信号CNTは一般的には論理回路ハイ状態から論理回路ロー状態に移行する。信号FBKが信号REF\_CLKBを論理回路ハイ状態でラッチ・遮断する(latch)まで、信号SFTRは一般的には論理回路ハイ状態にとどまる。信号SFTRがハイにとどまっている間、信号REF\_CLKの立ち上がりエッジ(信号REF\_CLKGの落下エッジ)の後に信号FBKの立ち上がりエッジが起こるまで所定の遅延量を繰り返して加えていく(例えば、1度に1遅延セル)ことによって、信号FBKの遅延を増加させるように遅延線路114を構成することができる。

【0033】図7を参照すると、図4のデジタル制御回路118のより詳しいブロック図が示されている。回路118は、保持要素200と、保持要素202と、トランジスタ204と、トランジスタ206と、ゲート208と、ゲート210と、ゲート212と、ゲート214と、ゲート216とを有している。保持要素200と202は、例えばレジスターまたはラッチまたはフリップフロップを使用して実施される。1つの例では、トラ

ンジスタ204は1つまたはそれ以上のPMOSTランジスタとして実施される。1つの例では、トランジスタ206は、1つまたはそれ以上のNMOSTランジスタとして実施される。しかしながら、特定の適用の設計基準を満たすために他のタイプと他の極性トランジスタを実施してもよい。1つの例では、ゲート208、210、214、216は、インバーターとして実施される。1つの例では、ゲート212は、2つの入力のナンドゲートとして実施される。しかしながら、特定の適用の設計基準を満たすために他のタイプのゲートを実施してもよい。

【0034】信号SFTRは、ラッチ200と202のリセット入力に与えられる。ラッチ200の入力は、供給電圧VCCに接続される。ラッチ200の出力は、ラッチ202の入力とトランジスタ204の第1ソース/ドレインに接続される。ラッチ202のQ出力は、トランジスタ206の第1ソース/ドレインに接続される。ラッチ200と202のクロック入力は、信号（例えば、REGCLKB）を受け入れる。信号CNTは、トランジスタ204のゲートとトランジスタ206のゲートに与えられる。トランジスタ204の第2ソース/ドレインは、トランジスタ206の第2ソース/ドレインとゲート208の入力に与えられる。ゲート208の出力は、ゲート210の入力とゲート212の第1入力に信号（例えば、ENB）を与える。ゲート210の出力は、信号ENを与える。信号CLK\_OUTは、ゲート212の第2入力に与えられる。ゲート212の出力は、ゲート214の入力に与えられる。信号REGCLKは、ゲート216の入力に与えられる。ゲート216の出力は、信号REGCLKBを与える。

【0035】図8を参照すると、図4の回路114のより詳しいブロック図が示されている。回路170は、増幅器220と、バイアス発生器222と、多数の遅延要素224aから224nとを有している。回路172は、多数のレジスタ要素226aから226nを有している。増幅器220は、信号VCTRLと、信号（例えば、PD）と、信号（例えば、PDM）と、信号（例えば、NBIA S）と、信号（例えば、WBIA S）とを受け入れる。信号NBIA Sは、バイアス信号として実施され得る。信号NBIA Sは、チャージポンプ回路120によって発生させられる。1つの例では、回路120は、信号NBIA Sを発生するように構成された電流参照回路を有している。信号WBIA Sは、遅延チェーンにおけるPFETのためのPFETバックバイアス（または、n井戸（nwell））電圧であってよい。回路220は、信号VCTRL、NBIA S、WBIA S、PD、PDMに反応して、バイアス電圧（例えば、VPBIA S）を発生するように構成される。信号PDMは、信号PDを補完・補充するものである。回路220と222は、信号PDと信号PDMの両方またはどち

らか一方に反応して、パワーダウンモードまたは低電流モードに入るように構成される。

【0036】回路222は、信号VPBIA S、VCTRL、PD、PDMを受け入れる。回路222は、井戸バイアス（well-bias）発生回路として実施されてよい。回路222は、信号VCTRLとVPBIA Sに反応してバイアス電圧WBIA Sを発生するように構成される。電圧WBIA Sは、遅延要素224aから224nの各PFETの基板接続において与えられる。

【0037】回路224aから224nは、信号VPBIA Sを受け入れる第1入力と、信号WBIA Sを受け入れる第2入力と、信号VCTRLを受け入れる第3入力と、信号REF\_CLK（REF\_CLK）を受け入れる第4入力と、信号REF\_CLKを補完・補充するもの（例えば、REF\_CLKB）を受け入れる第5入力とを有している。回路224aから224nの各々は、共に結合してノード228を形成する出力を有している。信号CLK\_OUTは、ノード228において与えられる。回路224aは、供給電圧VCCに接続される第1制御入力（例えば、PREV）と、信号SEL0を受け入れる第2制御入力（例えば、CURR）とを有している。回路224bの第1制御入力（例えば、PREV）は、回路224aの第2制御入力（CURR）に接続される。回路224bの第2制御入力（例えば、CURR）は、対応するレジスタ要素（例えば、226b）から信号SEL1を受け入れる。残りの遅延要素224cから224nは、同じように接続される。

【0038】信号REGCLKは、回路226aから226nの第1入力に与えられる。信号SFTRは、回路226aから226nの第2入力に与えられる。信号BYPASSは、回路226aから226nの第3入力に与えられる。信号RESETは、回路226aから226nの第4入力に与えられる。回路226aから226nを、シリアル方式で接続することが可能である。例えば、前方の回路（例えば、226a）の出力が電流回路226bの入力に接続され、次の回路（例えば、226c）の出力が電流回路（例えば、226b）の入力（例えば、NEXT）に与えられる。信号SEL0からSELnは、回路226aから226nのそれぞれの出力において与えられる。

【0039】図9を参照すると、図8の遅延要素224の詳しいブロック図が示されている。遅延要素224は、第1増幅器230と、第2増幅器230と、第1遅延セル232と、第2遅延セルとを有している。個々の遅延セル232の実行必要条件があまり厳しくならないように（ゆるくする）ために、遅延要素224は2つの遅延セルを有してよい。しかしながら、遅延要素224は、1つの増幅器230と1つの遅延セル232を用いて実施されてもよい。増幅器230は、完全スイング増幅器と異なる制限されたスイング（swing）と



制御論理（制御ロジック）とを有している。1つの例では、各増幅器230は、差動CMOS増幅器として実施される。第1増幅器230は、遅延要素224の出力信号（例えば、OUTCLK）を与える出力（OUT）を有している。

【0040】1つの例では、回路232は、遅延チェーン170の最も低いレベルの遅延要素を有している。回路232は、電圧制御される負荷と並列のダイオード負荷を持つPFEET差動増幅器として実施されてよい。回路232は、トランジスタ238と、トランジスタ240と、トランジスタ242と、トランジスタ244と、トランジスタ246と、トランジスタ248と、トランジスタ250とを有している。トランジスタ238から242は、1つまたはそれ以上のPMOSTランジスタとして実施される。トランジスタ244から250は、1つまたはそれ以上のNMOSTランジスタとして実施される。しかしながら、特定の適用の設計基準を満たすために他のタイプと他の極性トランジスタを実施してもよい。

【0041】トランジスタ238は、供給電圧VCCに接続されたソースと、バイアス電圧VPBIASを受け入れるように構成されたゲートと、トランジスタ240のソースとトランジスタ242のソースとに接続されたドレインとを有している。信号（例えば、INP）が、トランジスタ240のゲートに与えられる。信号（例えば、INM）が、トランジスタ242のゲートに与えられる。信号INPとINMは、相補ペア信号または差動信号である。トランジスタ240のドレインは、トランジスタ244のドレインとトランジスタ246のドレインとゲートに接続される。トランジスタ242のドレインは、トランジスタ248のドレインとゲートとトランジスタ250のドレインに接続される。1つの例では、トランジスタ244から250の各々のソースは、トランジスタ252を介してサブライグランド（例えば、VSS）に接続される。信号（例えば、PREV）が、トランジスタ252のゲートに与えられる。信号PREVは、遅延セル232をONとOFFに切り替えるのに使用される。信号PREVは、セル232を不能状態にさせることによって電流の浪費を減少させるために使用される。

【0042】第2増幅器は、“ダミー”増幅器として機能するように構成される。ここで使用される言葉“ダミー”は、一般的には、回路に実際の出力を与えることよりもむしろ回路の操作状態・条件を設定または決定またはその両方を行うための要素の使用のことをいう。第2増幅器230は、エネイブル入力をサブライグランドVSSに接続することによって不能状態にさせられる。第2増幅器230は、第1増幅器の負荷と結合に合わせて使用される。第1増幅器のエネイブル入力は、制御論理回路に接続される。制御論理回路は、付随するレジス

ター226からのエネイブル信号が論理回路のロー即ち“0”であり前の遅延要素が論理回路のハイ即ち“1”を持っている場合、増幅器を使用可能にするように構成される。しかしながら、特定の適用の設計基準を満たすために他の使用可能にする条件と論理を実施してもよい。

【0043】図10を参照すると、図8のレジスター要素226のより詳しいブロック図が示されている。各遅延要素224は、一般的には、対応するレジスター要素を持っている。各レジスター要素226は、前段のレジスター要素からの信号（例えば、PREV）と、次段のレジスター要素からの信号（例えば、NEXT）と、信号SFTRと、信号REGCLKと、多数の制御信号（例えば、R1、R2、S）とを受け入れる。パス（path）が、次のクロックが起こる前に遅延線路を変化させるクリティカルパスなので、出力レジスターへの信号REGCLKの伝播遅延は、最小伝播遅延に形成される。遅延チェーン170は、単一のエンドクロック（終了クロック・ended clock）信号（例えば、REF\_CLK）を受け入れ差動信号（例えば、INPとINM）を発生するように構成されたチェーンの前部の増幅器を有している。

【0044】回路226は、保持要素260と、ゲート262と、ゲート264と、ゲート266と、ゲート268と、ゲート270とを有している。1つの例では、保持要素260は、フリップフロップ回路かレジスター回路かまたはラッチ回路として実施される。1つの例では、保持要素260は、セット入力とリセット入力とを持つDタイプフリップフロップとして実施される。ゲート262と266は、2つの入力のナンドゲートとして実施される。ゲート268は、インバータとして実施される。ゲート270は、2つの入力のノアゲートとして実施される。しかしながら、特定の適用の設計基準を満たすために他のタイプのゲートと他の数の入力の実施されてもよい。

【0045】クロック信号REGCLKが、保持要素260のクロック入力に与えられる。前のレジスター要素からの信号（例えば、PREV）が、ゲート262の第1入力に与えられる。信号SFTRが、ゲート262の第2入力とゲート268の入力に与えられる。ゲート262の出力は、ゲート264の第1入力に接続される。ゲート264の出力は、保持要素260の入力（例えば、D入力）に接続される。次のレジスター要素からの信号（例えば、NEXT）が、ゲート266の第1入力に与えられる。ゲート268の出力は、ゲート266の第2入力に接続される。ゲート266の出力は、ゲート264の第2入力に接続される。制御信号（例えば、R1）が、ゲート270の第1入力に与えられる。制御信号（例えば、R2）が、ゲート270の第2入力に与えられる。ゲート270の出力は、保持要素260のリセ

ット入力に接続される。制御信号(例えば、S)が、保持要素260のセット入力に与えられる。1つの例では、信号BYPASSが信号R1として使用され、信号RESETが信号Sとして使用され、サブライグラウンドVSSが信号R2として使用される。

【0046】図11を参照すると、リセットに引き続く回路100の操作の1例を説明する回路114のブロック図が示されている。パワーアップとリセットの間、最初の2つのレジスタ要素226aと226bが論理回路のハイ即ち“1”に設定され、残り(例えば、226cから226n)が論理回路のロー即ち“0”に設定される。リセット状態・条件の間、信号REF\_CLKが流れて遅延セル224aと224bを通して最小の遅延を供給する。例えば、(1)パワーアップの後、(2)クロックが停止して再開された後、または(3)回路100が不能状態にさせられ再び使用可能状態にさせられた後、リセットが起こる。1つの例では、論理回路のロー状態から論理回路のハイ状態への移行を与える外部信号によってリセットが引き起される。

【0047】遅延線路は、所定の操作範囲を支持・サポートするように設計される。1つの例では、好ましい範囲は、75MHz(13.3ns)から400MHz(2.5ns)である。しかしながら、特定の適用の設計規準を満たすために他の範囲が実施されてもよい。操作範囲を支持・サポートするために粗い遅延調節が使用されてもよいし、緻密な・細かい分解能・分解度を達成するために細かい遅延調節を使用してもよい。粗い遅延は遅延の段を追加することで達成させられ、細かい遅延は遅延段の制御電圧VCTRLを変化させることで達成させられる。

【0048】制御電圧が最も高い電圧レベルにある場合の各遅延セル(遅延段)を通しての遅延(遅延量)によって、一般的には、いくつのセルを実施させるのかということが決定される。DLLが粗いフェーズ探知器でロックしている間、遅延線路は最も小さい伝播遅延に設定されてよい。行き過ぎた(オーバーシュート)後、クロック周波数と補正遅延に依存して2つまたは3つの遅延セルだけ戻る(取り除く)ように遅延線路が構成されていてよい。次に、DLLがロックを達成するまで、制御電圧が下げられる。

【0049】1つの例では、実施される遅延要素の数は、望ましい最小ロック周波数(例えば、83MHz(12ns))と補正される遅延(例えば、2ns)とを使用して計算(決定)される。例えば、最大レベルで制御電圧VCTRLを持っている各遅延要素224を通じての遅延は0.4nsに選択される。各遅延要素224に関して0.4nsの遅延を選択することによって遅延チェーン170は25個の遅延要素224を使用する(持つ)ことになる((12-2)/0.4ns)。各遅延要素は0.4nsの伝播遅延を持っているので、各

遅延セル232は、一般的には、最大制御電圧で0.2nsの伝播遅延を持っている。細かいロック操作の間、制御電圧を最大から最小値に減少させると、遅延要素224の伝播遅延にいくらかのマージンをプラスした分だけ遅延要素224を遅らせる。マージンは、ロック後のクロックのトラック・追跡とプロセス変化を考慮してもよい。制御電圧による遅延の範囲が伝播遅延の2倍になるように構成してもよい。しかしながら、特定の適用の設計規準を満たすために他の範囲が実施されてもよい。各遅延セル232の必要条件をゆるめるために3つの遅延要素224(6つの遅延セル232)を使用可能にして遅延チェーンを開始してもよい。使用可能にされる遅延要素224の数が、一般的には、遅延チェーン170の最小遅延を設定する。例えば、各遅延セル232は、200psから333ps(0.2+2×0.4ns/6)の遅延範囲を持っている。各遅延セルは、2×(制御電圧が最大である1つの遅延要素の遅延)÷[(制御電圧範囲)×(6つの遅延要素)]の利得を持つように構成されてよい。最大制御電圧の遅延要素224の伝播遅延が0.4nsであり制御電圧範囲が0.8Vから1.3Vである場合、各遅延セル232の利得は、一般的には、(2×0.4ns)/(0.5V×6)=(267ps/V)である。

【0050】図12を参照すると、回路280のブロック図が示されている。回路280は1対の相補クロック信号を発生するように実施される。信号REF\_CLKを補充・補完するもの(例えば、REF\_CLKB)は、回路100と同じ制御線(例えば、信号SEL0からSELn)によって制御される第2遅延線路を通過してよい。相補的信号REF\_CLKとREF\_CLKBは、それぞれの遅延線路とクロックツリーを通してそれぞれのFIFOに伝わる。回路100に接続されたクロックツリー(clock tree)の出力は、ダミーFIFOとドライバブロック116'に与えられる。回路100は、FIFOを除いて遅延(tco)を出力する実際のクロックと、ドライバと、信号CLK\_OUTとCLK\_OUTBのフェーズを調節するパッケージ寄生/負荷(package parasitics/load)とを使用してよい。ダミードライバは、実際のドライバのカットダウンバージョンであるが、一般的には電力供給のための遅延と調和させるためにVCCQ/VSSQとを使用してもよい。

【0051】図13を参照すると、本発明のリセット操作の例を説明するタイミングダイアグラム282が示されている。一般的には、リセットによって回路100は、粗いフェーズ探知器112を使用して最初に粗いフェーズ調節部分をもってロックシーケンスを開始する。ロックシーケンスの粗い調節部分の間、細かいフェーズ探知器110は、一般的には、使用不能状態にある。電圧制御信号VCTRL最も高い制御電圧レベルに設定さ

れた状態で、遅延線路114の遅延が望ましい量を行き過ぎるまで、粗いフェーズ探知器は、一般的には、各サイクルごとにシフトレジスター172を右にシフトするように制御する。どのサイクルにおいても増幅器230を持つもう1つの遅延要素224が、遅延チェーン170において使用可能にさせられる。信号FBKのフェーズがREF\_CLKのフェーズを行き過ぎるまでだけ、粗いフェーズ探知器は、一般的には、各サイクルにおいてダウン信号(DNC)を出力する。信号FBKのフェーズが信号REF\_CLKのフェーズを行き過ぎた時、一般的には、粗いフェーズ探知器はアップ信号(UPC)を出力して細かいフェーズ探知器を使用可能にする。

【0052】一般的には遅延線路114は最小遅延で開始され、信号FBKが信号REF\_CLKの次のエッジに対してロックされるように遅延量が増加させられる。最小遅延で開始し、行き過ぎるまで増加させることによって、回路100は、遅延線路114の最初(の部分)に至らないようにしてもよい。最も低い所望の周波数を支持・サポートするために、遅延線路114は、一般的には、十分長く(例えば、十分な数の遅延要素を用いて)実施される。粗いフェーズ探知器が行き過ぎを探知した後、一般的にはシフトレジスターが2つまたは3つの要素を左にシフトさせて行き過ぎを補正し、電圧制御ノード(例えば、信号VCTRL)を制御し遅延線路を遅らせてロックを得るために細かいフェーズ探知器が使用可能にさせられる。

【0053】図14を参照すると、粗いロック操作の例を説明するタイミングダイアグラム284が示されている。タイミングダイアグラム284は、一般的にはDLLが右にシフトを開始するまでのリセット状態からの回路100の様々な信号を説明している。パワーオンリセット信号(例えば、PUB)が伝わるまで回路は使用不能状態にある。入力クロック(INPUT\_CLOCK)の次の落下エッジは、一般的には回路100をリセット状態から解放させる。一般的には、粗いフェーズ探知器112への信号(例えば、REF\_CLK)が開始され、信号REF\_CLKが遅延線路114を伝わり始める。信号CLK\_OUTは、一般的には、クロックツリー(もし存在するなら)と補正遅延回路116を通過し、信号FBKになる。一般的には、信号UP1とUP2は、閉回路を巡る伝播遅延がそれぞれ1サイクルかより小さかったかどうかまたは2サイクルより小さかったかどうかを示す。信号UP1とUP2は、論理回路の状態(例えば、1つのサイクルを表す論理回路のロー状態と2つのサイクルを表す論理回路のハイ状態)によってサイクルの数を示す単一の信号(例えば、CNT)として実施されてよい。

【0054】伝播遅延の決定は、行き過ぎた後にアナログ遅延線路114を1ポジション左にシフトさせるのか

2ポジション左にシフトさせるのかを判断するのに使用される。信号CORENMは、粗い調節のエネイブル・動作可能信号であり、右シフト操作を開始させる。閉回路を巡る伝播遅延(例えば、遅延線路と補正遅延)が2クロックサイクルより大きい場合、一般的には、信号UP1は信号PFDCCLKMの第1立ち上がりエッジでハイ状態に移行する。閉回路を巡る遅延が2クロックサイクルより大きい場合、一般的には、信号UP2は信号PFDCCLKMの第2立ち上がりエッジでハイ状態に移行する。信号UP1がハイ状態にある場合、遅延線路114は、一般的には、細かい遅延モードに切り替わる前に、2ポジション戻ってよい。信号UP2がハイ状態にある場合、3遅延ポジション移動するように遅延線路114が構成されてよい。信号UP1とUP2が信号CNTとして実施される場合、1つの例では、遅延線路114は論理回路のロー状態を持つ信号CNTに反応して2ポジション戻り、論理回路のハイ状態に反応して3ポジション戻るように構成される。

【0055】図15を参照すると、粗いロック操作の例を説明するタイミングダイアグラム300が示されている。一般的には、粗いロック操作は、リセット後に始まり、細かいロック操作の開始まで続く。回路100における粗いロック操作の間、信号REGCLKの落下エッジは、一般的には、レジスターを右にシフトする。レジスターは、第1シフトの後にハイ状態に移行するキャリービット・繰り上がったビット(carry bit)を持っている。信号(例えば、CURR5)は、次の右シフトでハイ状態に移行するレジスタービットを表している。遅延線路が行き過ぎた後、一般的には、レジスターは左にシフトする。信号REGCLKは、信号(例えば、CURR6)をロー状態に移行させる。

【0056】図16を参照すると、本発明の操作例を説明するタイミングダイアグラム320が示されている。このタイミングダイアグラムは、閉回路を巡るクロックサイクルの遅延が2サイクルより大きい場合の操作例を示している。閉回路を巡るクロックサイクル遅延が2サイクルより大きい場合、一般的には信号UP2は論理回路のハイ状態に移行する。

【0057】本発明はアナログDLLの最もよい部分とデジタルDLLの最もよい部分を結合させて1つにすることかできる。本発明は、アナログDLLの分解度またはジッターとデジタルDLLの速いロック時間とを供給する。本発明は、広いロック範囲を提供する。

【0058】DLLの中心度数(center frequency)を変化させる従来の方法では、メタルオブショニングで配線をするかより多くの段を融合させる。本発明は、DLLの制限の理由による異なるスピードソート(speed sort)のための融合やメタルオブショニングの必要性を削除する。本発明によって、より低いスピードソートのものがより高いスピードソート

の分解度を持つことを可能にする。本発明は、出力データ時間に対してクロックが小さいことを必要とするメモリチップに限定されないがこれを含むゼロ遅延バッファを必要とする適用に使用されてもよい。

【0059】回路100は、使用不能モードを持ってよい。回路100が使用不能状態にある場合、一般的には、遅延ロック閉回路(DLL)は、バイパス・迂回される。DLLがバイパスされる場合、DLLは多重系(multiplexed out)であってよい。DLLは、リセットモードにあってもよい。回路100が再び使用状態にさせられると、DLLは適切な操作を確実にするために再決定されたスタートポイントに初期化されてよい。回路100は、パワーダウンモードを有してよい。パワーダウンモードでは、一般的には、回路100は、いかなる直流電流をも焼き付けない。フェーズ探知器110と112とチャージポンプ120と遅延線路114が一般的には直流電力を消費しないために、信号REF\_CLKがゲートで制御されてよい。補正遅延回路116は一般的にはクロックツリーの最後にあるので、補正遅延回路116もゲートで制御されてよい。パワーダウンモードは、一部をゼロ電流で操作するために使用されてよい。

【0060】回路100は待機モードを持ってよい。待機モードに入るために信号REF\_CLKが停止された場合、回路100はロックを再び獲得するために多数のクロックを必要としてよい。1つの例では、信号REF\_CLKが再開された後、再びロックを獲得するのに回路100は1024サイクルを必要とする。

【0061】本発明の様々な信号は、一般的には、“ON”(例えば、デジタルハイ即ち1)または“OFF”(デジタルロー即ち0)である。しかしながら、信号のON(例えば、肯定)とOFF(例えば、否定)状態の特定の極性は、特定の実施の設計基準を満たすために調節(例えば、逆転させる)されてよい。

【0062】本発明は特に好適実施形態について示し説明したが、本発明の概念と範囲からそれることなく形や細部の様々な変化がなされてもよいことは当業者によって理解されるであろう。

#### 【図面の簡単な説明】

【図1】アナログ遅延ロック閉回路のブロック図である。

【図2】デジタル遅延ロック閉回路のブロック図である。

【図3】本発明の好適実施形態の上から見た図である。

【図4】本発明の好適実施形態のブロック図である。

【図5】図4の細かいフェーズ探知器の詳しいブロック図である。

【図6】図4の粗いフェーズ探知器の詳しいブロック図である。

【図7】図4の制御論理の詳しいブロック図である。

【図8】図4のアナログ遅延線路詳しいブロック図である。

【図9】図8の遅延要素の詳しいブロック図である。

【図10】図8のレジスター要素のブロック図である。

【図11】本発明の操作路の例を説明するブロック図である。

【図12】本発明の代わりの実施形態を説明するブロック図である。

【図13】本発明の操作の例を説明するタイミングダイアグラムである。

【図14】本発明のリセットの例を説明するタイミングダイアグラムである。

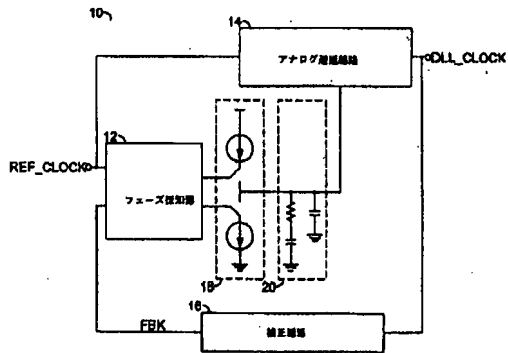
【図15】本発明の粗い調節操作の例を説明するタイミングダイアグラムである。

【図16】本発明にしたがった二重クロック調節を説明するタイミングダイアグラムである。

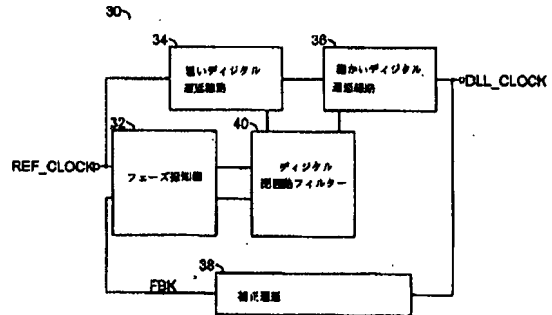
#### 【符号の説明】

- 12 フェーズ探知器
- 14 アナログ遅延線路
- 16 補正遅延
- 32 フェーズ探知器
- 34 粗いデジタル遅延線路
- 36 細かいデジタル遅延線路
- 38 補正遅延
- 40 デジタル閉回路フィルター
- 110 細かいフェーズ探知器
- 112 粗いフェーズ探知器
- 114 アナログ遅延線路
- 116 補正遅延
- 118 デジタル制御
- 120 チャージポンプ
- 122 閉回路フィルター
- 170 遅延チェーン
- 172 シフトレジスター
- 220 増幅器
- 222 バイアス発生器
- 224 aから224 n 遅延要素
- 226 aから226 n レジスター要素
- 232 遅延セル
- 260 ラッチ

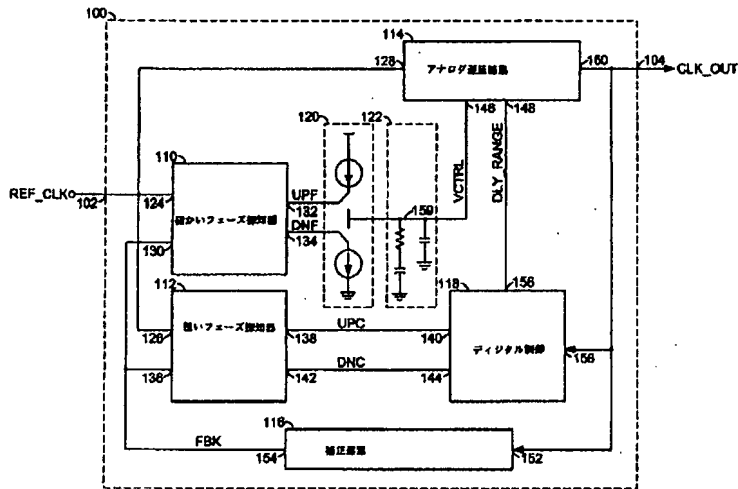
【図1】



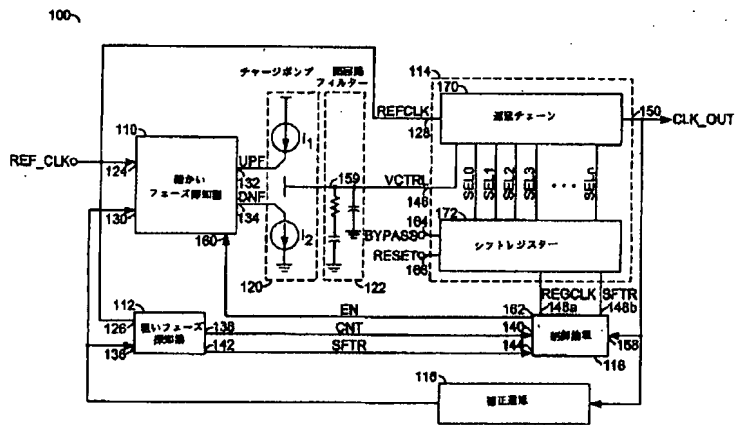
【図2】



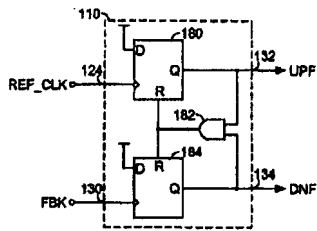
【図3】



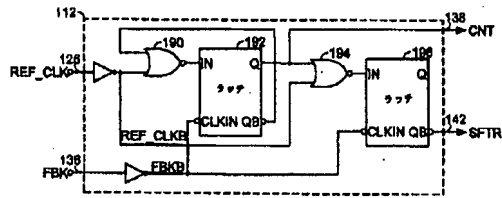
【図4】



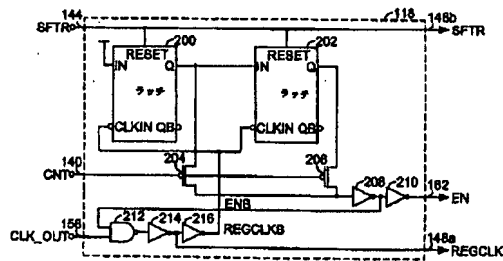
【図5】



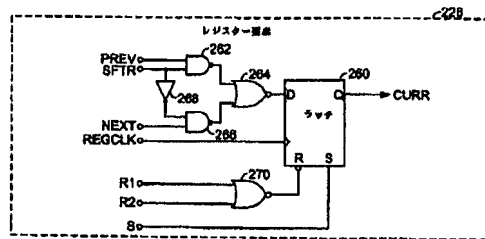
【図6】



【図7】

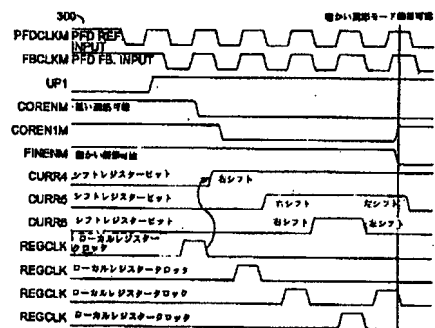
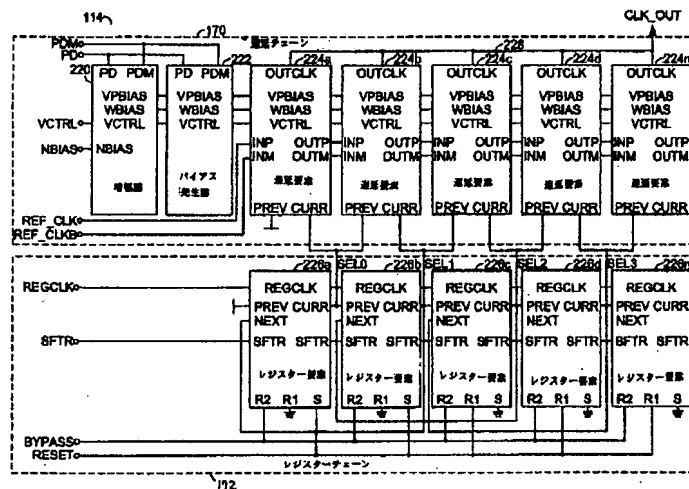


【図10】

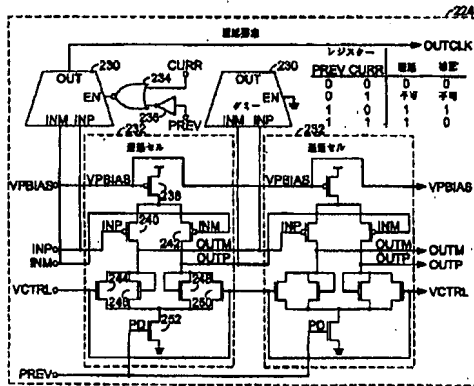


【図15】

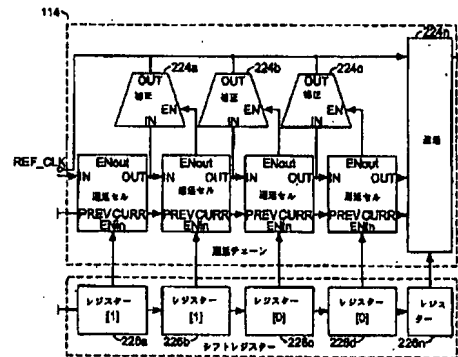
【図8】



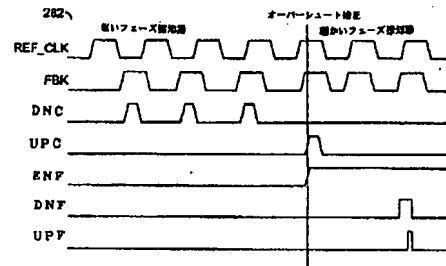
【図9】



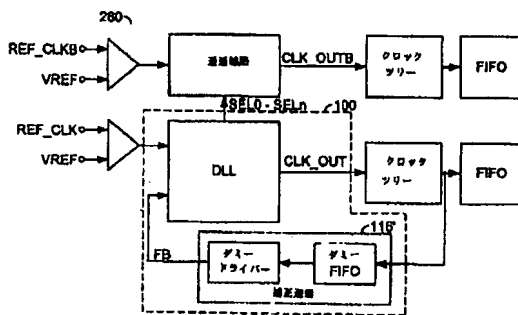
【図11】



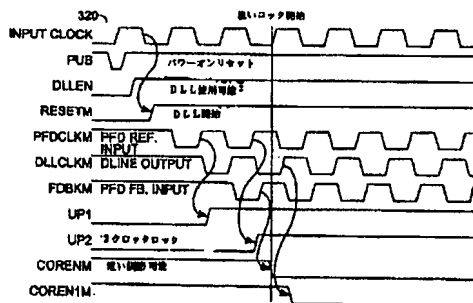
【図13】



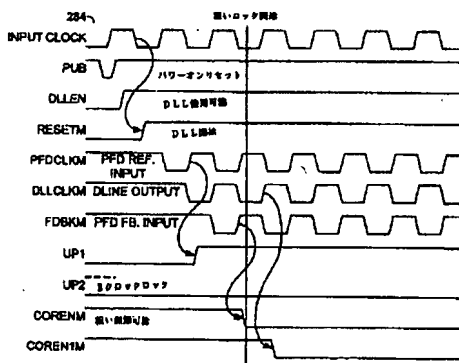
【図12】



【図16】



【図14】



フロントページの続き

Fターム(参考) 5J001 AA04 AA05 BB02 BB05 BB08  
BB10 BB11 BB12 BB23 BB25  
CC03 DD06 DD09  
5J106 AA03 CC24 CC30 CC41 CC59  
DD24 DD32 DD39 DD42 DD43  
DD46 FF09 GG14 KK03 KK08

